

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

09.06.98

日本特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D	19 JUN 1998
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1997年10月30日

出願番号

Application Number:

平成 9年特許願第298189号

出願人

Applicant(s):

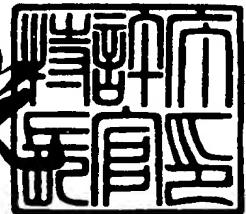
株式会社日立製作所

PRIORITY DOCUMENT

1998年 4月17日

特許庁長官
Commissioner,
Patent Office

荒井寿光



出証番号 出証特平10-3027734

【書類名】 特許願
【整理番号】 1197034901
【提出日】 平成 9年10月30日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/00
【発明の名称】 モノリシックアイソレータ
【請求項の数】 6

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内
【氏名】 行武 正剛

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 小嶋 康行

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 大内 貴之

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 岩村 将弘

【特許出願人】

【識別番号】 000005108
【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100068504
【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003094

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 モノリシックアイソレータ

【特許請求の範囲】

【請求項 1】

互いに絶縁分離された 1 次側である第 1 の回路領域と、 2 次側である第 2 の回路領域とが、 同一の半導体基板上に形成され、

第 1 の回路領域にあって、 ディジタル信号である第 1 のパルス信号を入力して相補信号である第 2 のパルス信号対を出力する差動增幅回路と、

前記半導体基板上にあって、 第 2 のパルス信号対を、 電気的に分離した 1 次側から 2 次側へ結合するキャパシタ対からなる絶縁分離手段と、

第 2 の回路領域にあって、 1 次側からの結合により、 第 2 のパルス信号対の遷移タイミングに対応した微分波形を有する第 3 のパルス信号対を発生する対の微分手段と、

第 2 の回路領域にあって、 第 3 のパルス信号対を入力信号とし、 前記微分手段により得られた微分信号対のエッヂのタイミングから、 ディジタル信号である前記第 1 のパルス信号を再生するパルス復調手段とを有することを特徴とするモノリシックアイソレータ。

【請求項 2】

請求項 1 において、 前記半導体基板が S O I (Silicon on Insulator) 基板であり、 前記絶縁分離手段が S O I 基板上の S i 層に素子表面から垂直方向に、 S O I の埋込酸化膜まで達する帯状の絶縁物と、 該絶縁物で囲まれる S i 層とで形成されることを特徴とするモノリシックアイソレータ。

【請求項 3】

微分手段が絶縁分離手段の 2 次側の端子と 2 次側の高電位電源との間に設けた抵抗素子で構成され、 定常レベルが高電位電源レベルであることを特徴とする請求項 1 に記載のモノリシックアイソレータ。

【請求項 4】

第 1 のパルス信号を入力して相補信号である第 2 のパルス信号対を出力する第 1 の差動增幅回路の出力段の論理しきい値が、 前記出力段の電源電圧の 2 分の 1

より低いレベルであることを特徴とする請求項3に記載のモノリシックアイソレータ。

【請求項5】

請求項1において、前記差動増幅回路及び前記パルス復調手段がCMOSで構成されていることを特徴とするモノリシックアイソレータ。

【請求項6】

請求項1において、前記パルス復調手段の初段が対の差動回路で構成されていることを特徴とするモノリシックアイソレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

半導体基板に絶縁カプラ或いは絶縁アンプ（以下、アイソレータと称す）が形成されるモノリシックアイソレータに関する。

【0002】

【従来の技術】

通信分野では、公共性の高いネットワーク設備の保護と端末の保護のために、ネットワークと端末の境界（以下、回線インターフェイスと称す）に高い絶縁性を要求しており、従来から絶縁性の高い通信用の小型トランスが使われてきた。

しかし、パーソナル端末の普及発展に伴いポータブル端末用として更なる小型化軽量化が要求されており、トランスに使用する材料や構造の改良では小型化の要求に十分答えられない問題が出てきて、アイソレータの応用が検討されている。

また、計測、医療などの用途では、センサと信号処理回路など、信号検出部分と信号処理部分とを絶縁する必要がある場合があり、アイソレータは、このような場合に、絶縁分離手段として知られている。

【0003】

アイソレータの小型化、高信頼化、低価格化の目的で、容量性アイソレータが開発されている。絶縁バリヤを構成する個別部品としての高耐圧のキャパシタ技術は電力用あるいはサージ保護用セラミックコンデンサが知られており、これを用いた信号伝送用の回路ブロックは容量性絶縁アンプまたは容量性絶縁カプラと

呼ばれ、1970年代から使われている。

【0004】

また、小型化するために容量値を下げる提案がある。特開昭62-260408号公報（以下、特許408と称す）では、低容量（約3pF）のコンデンサを用い、アナログ信号を伝送するアイソレータが提案されている。特許408では、アナログ信号を符号化したパルス信号をキャパシタにより絶縁分離された2次側へ伝送し、復号化してアナログ信号を再生してアナログ信号伝送の絶縁分離を実現している。特許408に開示されている実施例によれば、このアイソレータは混成集積回路で構成されており、アイソレータの構成要素の全てをモノリシック化する試みはなされていない。また、このアイソレータの具体的回路の実施例によれば、複数段の縦積みバイポーラトランジスタで構成されており、低電圧化（5.0V以下）に対応できない回路構成となっている。

【0005】

【発明が解決しようとする課題】

ユーザーは、アイソレータの更なる小型化と低価格を要求しており、この実現のためには、低容量のキャパシタをも含めたアイソレータのモノリシック半導体化を進めることが必要不可欠だと考えられる。

【0006】

本発明の目的は、半導体基板上にモノリシック化したアイソレータを提供することにある。

【0007】

また、本発明の他の目的は、低電源電圧（例えば1.8V以下）でも動作可能なモノリシック化したアイソレータを提供することにある。

【0008】

また、本発明の他の目的は、S/Nが高い。

【0009】

また、本発明の他の目的は、消費電力を抑えたアイソレータを提供することにある。

【0010】

【課題を解決するための手段】

本発明では、アイソレータをモノリシック化するために、絶縁層を内層とする半導体ウエハ、例えば、SOI基板を用いて、ウエハ表面上のSi層にウエハ表面から垂直方向に、埋込酸化膜まで達する帯状の絶縁物を形成し、更に、素子表面に保護膜である絶縁物を形成することにより、1次側の回路領域と、2次側の回路領域とを絶縁分離すると共に、高耐圧の容量性絶縁バリア（キャパシタ）を形成している。

【0011】

また、アイソレータを低電圧で動作させるために、アイソレータの構成要素をCMOS回路を用いて構成している。更に、CMOS回路を用いることにより消費電力を抑える効果もある。

【0012】

また、アイソレータのS/Nを向上するために、絶縁バリア前後の回路を差動回路で構成している。

【0013】

【発明の実施の形態】

以下、実施例により本発明を説明する。

【0014】

図1は本発明の実施例であるディジタルアイソレータのブロック図である。まず、1次側回路領域と、2次側回路領域とは、同一半導体基板上で絶縁分離されている。P1s_in及び、P1s_outはそれぞれ、アイソレータの入力パルス信号、及び、出力パルス信号である。1は入力パルス信号P1s_inを元に相補のパルス信号を発生する差動增幅回路である。2は差動增幅回路1により駆動された相補パルス信号を高い絶縁耐圧をもって、2次側に結合する容量性の絶縁バリアである。3は絶縁バリア2により1次側から結合された信号を微分する微分回路である。4は微分回路3により微分された信号対を入力して、微分信号対の各々のエッヂを検出して増幅する遷移検出回路である。5は遷移検出回路4の出力信号を用いて入力パルス信号P1s_inを再生（復調）して出力パル

ス信号 P_{1s_out} を出力するパルス再生（復調）手段である。

【0015】

本実施例では絶縁バリア2を含む全ての回路をモノリシックIC内に構成すると共に、1次側回路領域と2次側回路領域と絶縁分離して同一半導体基板上に形成することによりデジタルアイソレータの小型化を実現できる。また、本実施例では、1次側から2次側への信号転送をデジタル信号で行っているためデジタルアイソレータであるが、本実施例の入力部および出力部にそれぞれ、AD変換回路およびDA変換回路を設けることにより、容易にアナログアイソレータを実現することもできる。

【0016】

図2は本発明の実施例であるデジタルアイソレータの具体的な回路図である。また、図3は図2の回路の動作波形を示す図である。図2及び図3を用いて本発明によるデジタルアイソレータの具体的な実施例である回路の動作を説明する。

【0017】

まず、1次側回路領域と、2次側回路領域とは、同一半導体基板上で絶縁分離されている。10は入力パルス信号 P_{1s_in} を入力して相補のパルス信号対 P_{1s_1} を出力する差動増幅回路である。初段はCMOSの差動アンプで構成され、基準電圧 V_{ref} と入力パルス信号 P_{1s_in} との比較結果を相補信号で出力する。次段（駆動段）のドライバはCMOSインバータで構成され、これにより、ほぼ電源電圧に等しい振幅を有する相補のパルス信号対（差動増幅回路出力） P_{1s_1} を出力する。20は1次側と2次側との絶縁耐圧を有する容量性の絶縁バリアである。1次側及び2次側の各々の端子はそれぞれ、高電位電源（VDD1又は、VDD2）との間、また、低電位電源（VSS1又は、VSS2）との間に逆方向接続のダイオードを設け、ノイズ等によるサージを吸収する手段としている。絶縁バリアそのものも、後述するように（図6参照）、同一半導体集積装置内に形成した高耐圧の容量（キャパシタ）を用いて構成する。30は1次側からの容量性結合により2次側の端子に微分波形を出力するために設けた微分手段を成す負荷抵抗である。負荷抵抗は高電位電源VDD2と2次側の端子

間を短絡するように設けている。このため、2次側の端子は定常的には高電位電源VDD2の電位に固定され、1次側の端子の“Hi”レベルから“Lo”レベルに遷移した時に、“Lo”レベル側へスパイク状の微分波形を発生する。40は微分信号対P1s_3を入力して、入力パルス信号P1s_inの立ち上がりエッヂと立ち下がりエッヂの各々を検出してワンショットパルスP1s_4を発生する遷移検出回路である。入力段は、微分信号対P1s_3を互いに逆接続して入力信号とする、対のCMOS差動アンプを用いる。対のCMOS差動アンプは、各々、シングルエンドの信号を出力する。CMOS差動アンプの入力信号は定常的に同レベルとなるため、負荷はPMOSのカレントミラーで構成した。

【0018】

CMOS差動アンプは微分信号対P1s_3に電位差が生じた（入力パルス信号P1s_inが遷移した）時にのみ、その電位差に対する差動出力（個々のCMOS差動アンプはシングルエンド出力）P1s_40を出力する。よって、対のCMOS差動アンプの出力P1s_40は定常的には同一のレベルとなる。このため、次段のPMOS入力のレベル変換回路の出力は入力信号が同一レベルの時に中間レベル（次段のゲートの論理しきい値付近のレベル）を出力しないように設計する必要がある。例えば、本実施例の場合、次段のフリップフロップからなるパルス再生（復調）回路はCMOSのNANDゲートで受けるため、P1s_40が同一レベルの時は“Hi”レベルを出力するようにレベル変換回路のMOSのゲート幅等を設計する。よって、図4に示すようにレベル変換回路は、入力側のPMOS1のゲート幅Wp1とNMOS1のゲート幅Wn1との比と、出力側のPMOS2のゲート幅Wp2とNMOS2のゲート幅Wn2との比は同じにならないようにする。遷移検出回路40の出力は定常的には双方とも“Hi”レベルであり、入力パルス信号P1s_inの遷移に対応して、立ち上がり時に一方に、また、立ち下がり時に他方に“Lo”レベルのワンショットパルスを発生する。50は遷移検出回路の出力信号P1s_4により、入力パルス信号P1s_inを2次側に再生して出力パルスP1s_outを出力するフリップフロップで構成されたパルス再生回路である。本実施例は2組のCMOS-NANDゲートで構成されるフリップフロップと、1組のCMOSインバータのドライバとで

パルス再生回路を構成した例である。必要によりフリップフロップをリセットするための手段を盛り込むことも当業者にとっては容易である。

【0019】

本実施例のアイソレータでは2次側の端子が負荷抵抗を介して高電位電源VDD2に短絡されているため、1次側の立ち下がり動作が重要になってくる。このため、差動增幅回路10の出力段CMOSインバータは、例えば、図5に示すCMOSインバータのように論理しきい値VLTを、(VDD-VSS)/2より低く設定すると、立ち下がりの遷移時間が短くなりタイミングのバラツキを抑えることができる。本実施例の説明に当たっては回路の遅延時間に関して特に触れていないが、動作の説明に係わる入力パルス信号のパルス幅などに比して回路の遅延時間が十分小さい場合であり、回路の遅延時間はあるものの特に考慮しない。

【0020】

本実施例によれば、回路の構成要素を全て同一の半導体集積回路装置内に構成するため小型化、低価格化、高信頼化が図れる。また、本実施例では絶縁バリヤ前後の回路を差動回路で構成しているためコモンモードノイズの耐性を図ることができ、S/Nを向上することができる。また、絶縁バリヤ後段の回路を対の差動アンプで構成することにより、CMRRに優れた增幅回路を実現できる。ここでCMRRとはCommon Mode Rejection Rateの略称であり、いわゆる同相信号除去比のことである。更に回路を単純なCMOSゲートで構成しているため、5V以下(1.8V程度まで)の低電圧化にも十分対応できると共に、消費電力を抑える効果もある。

【0021】

図6にモノリシック化した高い絶縁耐圧を有するキャパシタを示す。(a)は平面図、及び(b)は(a)のA-A'間の断面図を示す。本実施例では、絶縁層を内層とする半導体ウエハ、例えば、SOI(Silicon on Insulator)基板を用いて、絶縁バリヤでありキャパシタとして1次側と2次側との結合の働きも有する絶縁性の帯(以下、絶縁帯と称す)を形成する。絶縁帯は、一旦、SOIのSi層の表面から溝(トレンチ)を内層された絶縁層(以下、埋込酸化膜と称す)に達するまで掘った後に、シリコン酸化膜を埋め込んで形成する。ここで、絶縁

帯1, 2がキャパシタを形成する誘電体となる。絶縁帯1で囲まれた第1電極となるSOIのSi層と、絶縁帯2で囲まれた第2電極となるSOIのSi層との間に、絶縁層を2段直列に接続したキャパシタが形成される。更に、絶縁帯3の内側はフローティングノードとし、フローティングノードの中に第1電極と第2電極とが浮かぶ形になる。フローティングノードにより、他の周辺回路とキャパシタ部分とを分離している。

【0022】

本実施例では、絶縁層を内層とする半導体ウェハ上に、CMOSデバイスプロセスにトレンチ工程（溝掘り及び溝埋め）を追加することにより、同一半導体基板上にキャパシタを構成することができる。また、第1電極及び第2電極から見た絶縁帯の総数が等しくなるためレイアウトが対称的にできるメリットがある。

図7に図1のアイソレータを双方向に配置したブロック図を示す。モデム等の回線インターフェイスでは、受信側と送信側との双方に絶縁バリヤが必要となる。まず、1次側回路領域と、2次側回路領域とは、同一半導体基板上で絶縁分離されている。図中記号の添字は受信側に“r”及び、送信側に“t”を付けて表示している。図1のブロック図を受信側と送信側との双方について、各々設けたのみであり、詳細は図1の実施例に重複するので割愛する。

【0023】

本実施例では、受信及び送信双方のアイソレータをモノリシック化することができるため、モデム等の構成部品点数を低減でき、低価格化、小型化および高信頼化が図れる。

【0024】

図8に本発明による他の実施例のアイソレータのチップイメージの平面図を示す。本実施例は、絶縁層を内層とするSOI基板を前提として以下に説明する。まず、チップは1次側領域と2次側領域とに分かれ、1次側と2次側との間は、Si層表面からSOIの埋込酸化膜層に達する帯状の絶縁帯を幾重かに設けることにより絶縁分離している。また、絶縁バリヤ部には、チャネルaとチャネルbとの2つのチャネルで対を構成する容量性の絶縁バリヤを配置している。絶縁帯6aは、2重の絶縁帯で構成したチャネルaの絶縁バリヤである。絶縁帯6bは

、2重の絶縁帯で構成したチャネルbの絶縁バリヤである。絶縁帯3a及び絶縁帯3bは絶縁バリヤと他の回路を分離するために設けた絶縁帯である。絶縁帯4及び絶縁帯5はそれぞれ、1次側及び2次側のシールド領域を形成する絶縁帯である。各々のシールド領域は、各々の電源(VDD)若しくは、接地(VSS)の何れかの電位に固定する。シールド領域は目的(例えば、更なる1次側と2次側との絶縁耐圧の確保)によってはフローティングで用いることもある。絶縁帯7は1次側の回路領域を分離する絶縁帯で、この内側に1次側の回路を形成する。また、絶縁帯8は2次側の回路領域を分離する絶縁帯で、この内側に2次側の回路を形成する。

【0025】

本実施例によればSOI基板に絶縁帯を形成することにより、1次側と2次側との絶縁分離及び容量性の絶縁バリヤを実現できるため、同一半導体基板上にアイソレータの構成要素の全てを取り込むことができ、アイソレータの小型化、低価格化および高信頼化が図れる。

【0026】

【発明の効果】

以上のように、本発明によれば、半導体集積回路内にアイソレータを形成することが可能であり、集積回路の用途を大きく広げることができる。また、このようにして形成したアイソレータは、小型化、低価格化、高信頼化及び、低消費電力化に効果がある。

【図面の簡単な説明】

【図1】

本発明の実施例であるデジタルアイソレータの回路ブロック図。

【図2】

本発明の実施例であるデジタルアイソレータの具体的な回路図。

【図3】

図2のデジタルアイソレータの動作波形。

【図4】

図2のアイソレータのレベル変換部の具体的な回路図。

【図5】

図2のアイソレータの差動增幅回路出力段の具体的な回路図。

【図6】

モノリシックICに形成したキャパシタの平面図及び断面図。

【図7】

図1のアイソレータを双方向に設けた実施例の回路ブロック図。

【図8】

本発明による他の実施例のアイソレータのチップイメージの平面図。

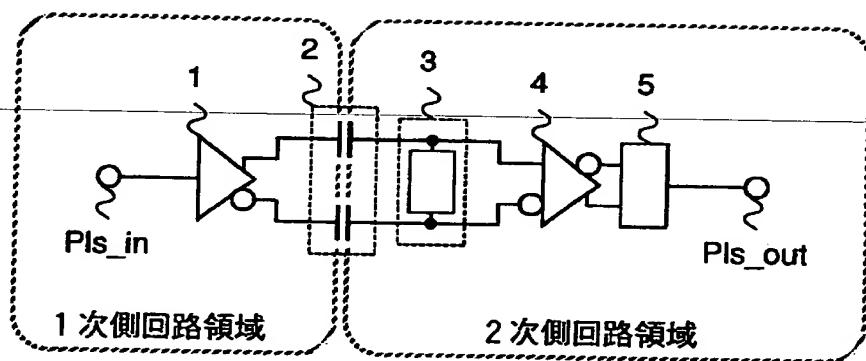
【符号の説明】

1…差動增幅回路、2…絶縁バリア、3…微分回路、4…遷移検出回路、5…
パルス再生回路、P1s_in…入力パルス信号、P1s_out…出力パルス
信号。

【書類名】 図面

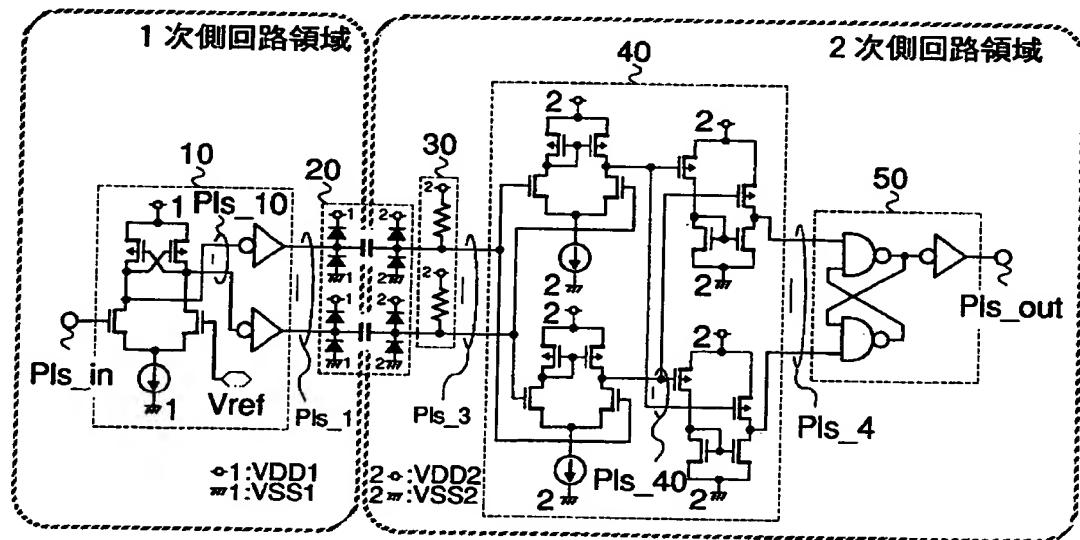
【図 1】

図 1



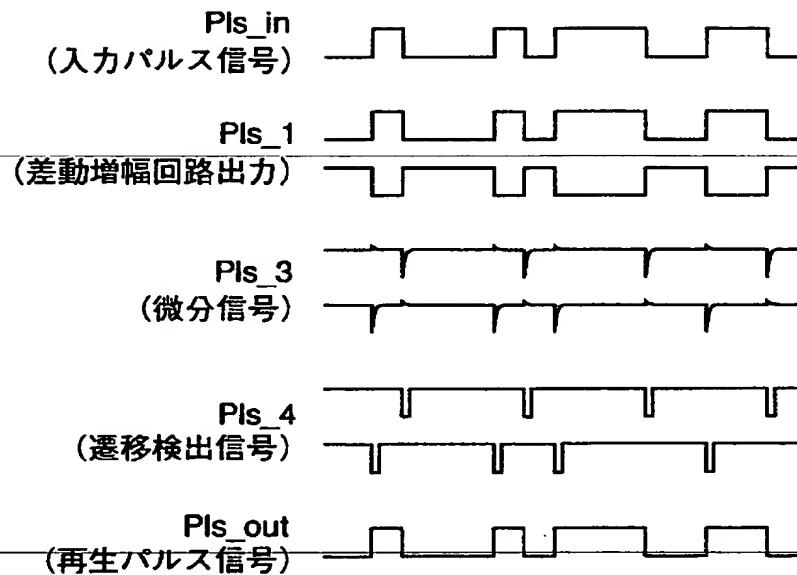
【図 2】

図 2



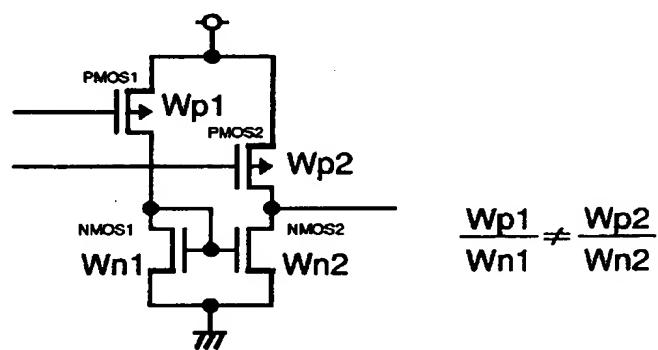
【図3】

図 3



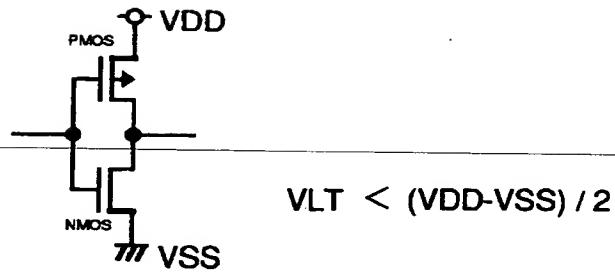
【図4】

図 4



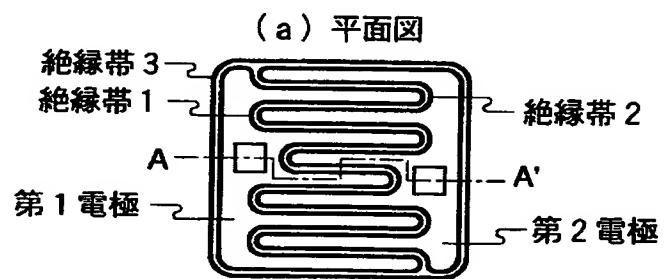
【図5】

図 5

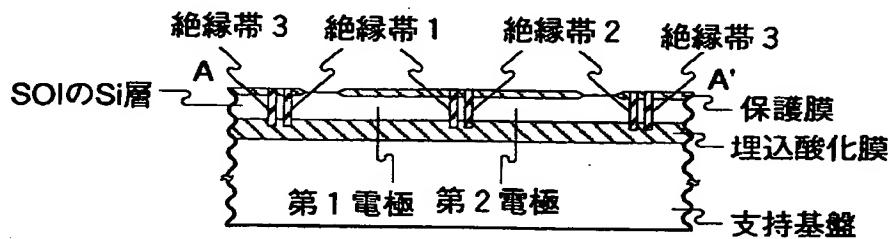


【図6】

図 6

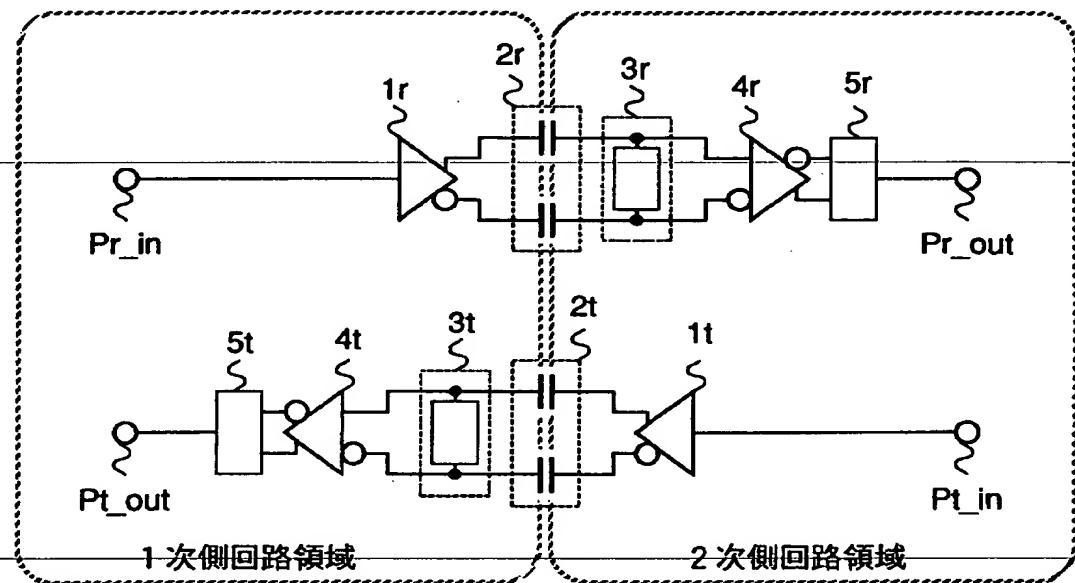


(b) 断面図 (A-A'間)



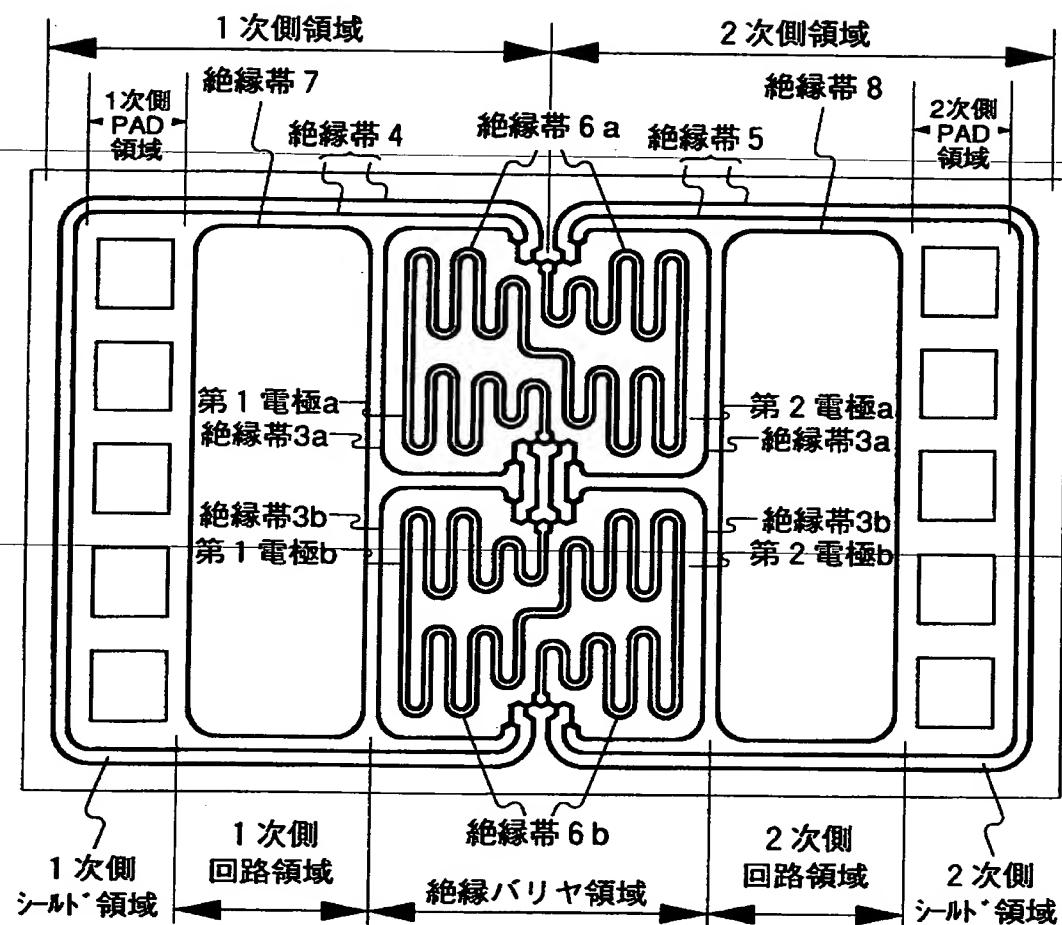
【図 7】

図 7



【図8】

図 8



【書類名】 要約書

【要約】

【課題】

半導体基板にモノリシック化して小型化を実現したアイソレータを提供すること。

【解決手段】

絶縁層を内層とする基板の表面に、絶縁層に達する絶縁帯を形成し、該絶縁帯のパターンで形成した容量性絶縁バリヤ（キャパシタ）により1次側回路領域と2次側回路領域との結合を実現する。

【効果】

半導体集積回路内にアイソレータを容易に形成することができる。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

＜認定情報・付加情報＞

【特許出願人】

【識別番号】 000005108

【住所又は居所】 東京都千代田区神田駿河台四丁目 6 番地

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【住所又は居所】 東京都千代田区丸の内 1-5-1 株式会社日立製作所 知的所有権本部内

【氏名又は名称】 小川 勝男

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

This Page Blank (uspto)